

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10256556 A**

(43) Date of publication of application: **25 . 09 . 98**

(51) Int. Cl

H01L 29/786
H01L 21/336

(21) Application number: **09061202**

(22) Date of filing: **14 . 03 . 97**

(71) Applicant: **TOSHIBA CORP**

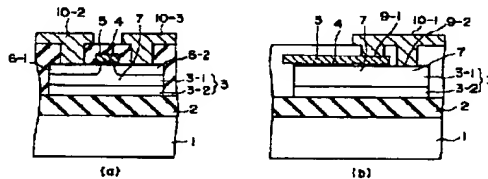
(72) Inventor:
YAMADA TAKASHI
KAWANAKA SHIGERU
WATANABE SHIGEYOSHI
MATSUZAWA KAZUYA
OWAKI YUKITO

(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

(57) Abstract:

PROBLEM TO BE SOLVED: To make elements fine, without increasing the wiring resistance of a body in a channel direction by providing a body region having a larger film thickness than that of at least one of the source and drain and a predetermined potential given from a contact.

SOLUTION: On a substrate 1 an insulation film 2 and semiconductor layer 3 are formed. This layer 3 has a laminate structure of a high resistance 3-1 and low resistance 3-2 to reduce the delay of the body. On this layer 3 source and drain diffused layers 6-1, 6-2 are formed with a body region 7 between them. This region has a larger film thickness than that of at least one of the source and drain diffused layers 6-1, 6-2 and specified potential is given to it from a contact 9-2 to thereby make elements fine, without increasing the wiring resistance in the channel direction of the body.



COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-256556

(43)公開日 平成10年(1998) 9月25日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 29/786
21/336

H 0 1 L 29/78

6 2 6 C

6 1 8 Z

6 2 6 B

審査請求 未請求 請求項の数7 O L (全 10 頁)

(21)出願番号 特願平9-61202

(22)出願日 平成9年(1997) 3月14日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山田 敬

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 川中 繁

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 渡辺 重佳

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦 (外6名)

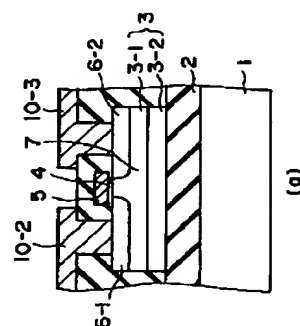
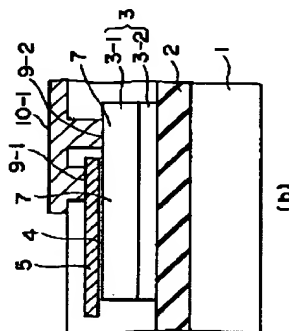
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 高速動作が可能な半導体装置を提供すること、加えて、SOIウェハの汚染と結晶欠陥を抑制し、SOI型MOSFETのボディ領域の電位を制御可能にし、及びSOI型MESFETのキャリアの移動度の低下を抑制する半導体装置及びその製造方法を提供すること。

【解決手段】 半導体基板(1)上に埋め込み絶縁膜(2)を有し、前記埋め込み絶縁膜(2)上に半導体層(3)を有する半導体装置において、ソース(6-1)とドレイン(6-2)の少なくとも一方よりも厚い膜厚を有し、コンタクト(9-2)により所定の電位が与えられるボディ領域(7)を備えた。



【特許請求の範囲】

【請求項 1】 半導体基板上に埋め込み絶縁膜を有し、前記埋め込み絶縁膜上に半導体層を有する半導体装置において、前記半導体層内に形成されたソースとドレインの少なくとも一方よりも厚い膜厚を有し、コンタクトにより所定の電位が与えられるボディ領域を具備したことを特徴とする半導体装置。

【請求項 2】 半導体基板上に埋め込み絶縁膜を有し、前記埋め込み絶縁膜上に半導体層を有する半導体装置において、前記半導体層内に形成されたトランジスタのチャネル幅方向に平行にボディ領域が形成されていることを特徴とする半導体装置。

【請求項 3】 半導体基板上に埋め込み絶縁膜を有し、前記埋め込み絶縁膜上に半導体層を有する半導体装置において、ゲート電極として使用する配線材をボディ領域に電位を与えるコンタクト領域に接続したことを特徴とする半導体装置。

【請求項 4】 半導体基板上に埋め込み絶縁膜を有し、前記埋め込み絶縁膜上に半導体層を有する半導体装置において、前記半導体層内に形成されたトランジスタのソース・ドレイン部と、ボディ領域にボディ電位を与えるボディ電極部と、の間にチャネル領域が形成されていることを特徴とする半導体装置。

【請求項 5】 半導体基板上に埋め込み絶縁膜を有し、前記埋め込み絶縁膜上に半導体層を有する半導体装置において、前記埋め込み絶縁膜上に形成されたゲート電極と、絶縁膜を介して前記ゲート電極上に形成されたソース・ドレイン領域と、前記ソース・ドレイン領域の間に配置されたチャネル領域に接続され、前記チャネル領域にボディ電位を与えるボディ電極部と、を具備することを特徴とする半導体装置。

【請求項 6】 半導体基板上に埋め込み絶縁膜を有し、埋め込み絶縁膜上に半導体層を有する半導体装置において、埋め込み絶縁膜中またはその表面に、埋め込み絶縁膜とは材質の異なる別種絶縁膜、導体、酸化膜のいずれかを少なくとも一層有することを特徴とする半導体装置。

【請求項 7】 第 1 のシリコン層上に熱酸化、堆積又は自然酸化のいずれかによって、第 1 の酸化膜を形成する工程と、第 2 のシリコン層上に熱酸化または堆積によって第 2 の酸化膜を形成する工程と、前記第 2 の酸化膜上に窒化または堆積によって窒化膜を形成するか、堆積によって多結晶シリコン層を形成する

工程と、

前記窒化膜又は多結晶シリコン層のいずれかの層上に熱酸化または堆積によって第 3 の酸化膜を形成する工程と、

前記第 1 の酸化膜と前記第 3 の酸化膜を接着する工程と、を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は半導体装置に係わり、特に S O I (Silicon On Insulator) 基板を用いた半導体装置およびその製造方法に関する。

【 0 0 0 2 】

【従来の技術】 S O I 型の F E T (Field Effect Transistor) は、微細化に優れ・高速動作が可能である。この S O I 型 M O S F E T は、酸化シリコンなどの絶縁膜上に形成されたシリコンなどの半導体薄膜の表面をチャネルとしており、シリコン膜厚の薄膜化により容易にソース・ドレイン拡散層深さを浅く形成できることから短チャネル効果に強く、また、ソース・ドレイン拡散層のほとんどの部分が絶縁膜で覆われているため寄生容量が小さいなどの特徴をもつ。このため、S O I 型 M O S F E T は、バルク M O S F E T に比べて微細な M O S F E T が実現できるとともに、また、それを用いた回路はバルク M O S F E T を用いた回路にくらべ、より低消費電力での高速動作が可能となる。また、D R A M (Dynamic Random Access Memory) のトランスファー・ゲートとして用いた場合、 α 線耐性にも優れている。さらに、C M O S (Complementary Metal Oxide Semiconductor) を構成した場合、ラッチアップを防げる。

【 0 0 0 3 】 S O I 型 M O S F E T では、ゲートとソース・ドレインおよび絶縁膜で囲まれたチャネル形成領域（以下、「ボディ」と称する）は外部から電位を与えずフローティングな状態で用いるのが一般的であるが、ホットキャリア効果により発生した多数キャリアがボディに蓄積すること等による基板浮遊効果により、トランジスタ特性が変動してしまうという欠点がある。

【 0 0 0 4 】 従って、ボディに電極を形成し固定電位を与える提案がなされている。特に、個々のトランジスタのボディ電極とゲート電極とを短絡した構成により、0.5 V 程度の低電圧動作を可能にした S O I 型 M O S F E T （以下、「ボディ制御型 S O I 型 M O S F E T 」と称する）の提案が注目されている。このボディ制御型では、ゲートとボディに同電位を与えて、トランジスタの動作に際してゲート電位のみならず基板バイアスを変化させている。このため、いわゆる基板バイアス効果により、トランジスタのオン時にはしきい値を下げ、トランジスタのオフ時にはしきい値を上げることができる。このため、低電圧動作でも十分な駆動能力を得るためにオン時のしきい値を下げても、オフ時にはしきい値を上

げてリーク電流を押さえることが可能となる。あるいは、逆に、消費電力を充分抑制するために、オフ時に高めのしきい値を設定しても、オン時にはしきい値を下げて従来に比べ大きな駆動能力を得ることができる。しかし、上記のようなボディ制御型の構成では、ボディへの電位を与えるためのコンタクトが必要となる。

【0005】図12(a)には、ボディコンタクトを有する従来の典型的なSOI型MOSFETの平面パターン図、図12(b)及び(c)はそれぞれ図12(a)中の12B-12B、12C-12C断面図である。

【0006】図12に示す様に、基板1上に絶縁膜2が形成されており、その上に、半導体層3が形成されている。半導体層3には、ソース・ドレイン拡散層6-1、6-2が形成されていて、その間には、チャンネル領域7(以下、「ボディ領域」とも称する)が形成されている。また、ゲート電極5は、絶縁膜4を介して、チャンネル領域7の上部に形成されている。ボディコンタクト領域9-2は、ゲート電極5下のボディ領域7からチャンネル幅方向の素子領域端からボディ電極部7-1を引き出して形成している。また、ゲート電極5とボディ領域7とはコンタクト9-1、9-2で共通の配線10-1に接続されており、ソース・ドレイン拡散層6-1、6-2はそれぞれコンタクト9-3、9-4によって、配線10-2、10-3に接続されている。

【0007】しかし、このようにボディコンタクト領域がゲート電極へのコンタクトと同様にチャンネル幅方向端に形成されると、チャンネル幅の増大に伴い、ボディコンタクト9-2から離れたボディ領域7への電位の遅延が無視出来なくなる。このことは、短チャンネル長化によりチャンネル長方向に切断した時のボディの断面積が小さくなること、しきい値の低電圧化のためにはチャンネル不純物濃度を高く出来ないことなどが、素子の微細化が進むにつれて益々顕著なものとなってくる。

【0008】これに対して、ゲート電極の場合は金属などの低抵抗材料により遅延をほとんどなくすることができるので、結果として、ゲート電極の電位とボディ領域の電位との伝播時間の差が大きくなるため、ボディ制御型の両電位の制御による本来の動作が損なわれる問題が発生する。

【0009】図13及び図14に、それぞれ、他のSOI型のMOS型FETとMES(Metal Semiconductor)型FETを示す。図13及び図14において、図12と同じ部分には、同じ符号を付し詳細な説明は省略する。図13は、図12と同じ構造であるが、図14は、チャンネル領域7の上部にエピタキシャル層を形成し、ショットキー型FETとなっている。

【0010】ここで、従来では、シリコン基板の鉄、ニッケル、銅などの汚染が埋め込み酸化膜と素子分離領域を介して、ボディ領域に拡散すること、また、ボディ領域に応力が発生し、結晶欠陥を発生させることなどの問

題があった。

【0011】また、従来のSOI型MOSFETでは、SOI層の電位を制御する場合に、上記のようにボディ領域に電極をつけることが提案されている。この場合において、従来技術のSOI型MOSFETでは、図12のチャンネル領域7が空乏化する。空乏層が埋め込み絶縁膜2に到達すると、ボディコンタクト9-2の電位は、チャンネル領域7に伝達しない。

【0012】また、従来技術のSOI型MESFETでは、図14のチャンネル領域7の上部に空乏層が広がり、空乏層が埋め込み酸化膜2上面形成されるチャンネル幅を制御する。しかし、埋め込み酸化膜の界面は荒れており、キャリアの移動度が低下する。その結果、駆動力が低下する。

【0013】

【発明が解決しようとする課題】上記のように、従来の半導体装置では、素子の微細化とともに、ボディ電位のチャンネル幅方向への伝達遅延がゲート電極のそれに比べて大きくなり、ボディを制御する本来の動作を高速に行うことが困難であった。

【0014】素子の形成時における基板の汚染と結晶欠陥が発生するという問題があった。更には、SOI型MOSFETにおいては、SOI層の電位を制御不可能であり、SOI型MESFETにおいては、キャリアの移動度が低下するという問題があった。

【0015】本発明は、高速動作が可能な半導体装置を提供すること、加えて、SOIウェハの汚染と結晶欠陥を抑制し、SOI型MOSFETのボディ領域の電位を制御可能にし、及びSOI型MESFETのキャリアの移動度の低下を抑制する半導体装置及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明は、上記の課題を解決するために次のような手段を講じた。本発明では、半導体基板上に埋め込み絶縁膜を有し、前記埋め込み絶縁膜上に半導体層を有する半導体装置において、

(1) ソース・ドレイン拡散層深さよりも厚いボディ領域を設けた。すなわち、ソースとドレインの少なくとも一方よりも厚い膜厚を有し、コンタクトにより所定の電位が与えられるボディ領域を具備したことを特徴とする。これにより、チャンネル長によらずボディ断面積を確保できるため、ボディのチャンネル隔方向の配線抵抗を増大させずに素子の微細化が可能となる。

【0017】(2) ボディコンタクト引き出し領域をチャンネル幅方向チャンネルに平行に形成した。すなわち、前記半導体層内に形成されたトランジスタのチャンネル幅方向に平行にボディ領域が形成されていることを特徴とする。これによりチャンネル幅が増大しても、それに伴ってボディコンタクト引き出し領域も増大するため、チャンネル幅方向への遅延が無視できる。

10

20

30

40

50

【0018】(3) ボディ領域にゲート電極材を貼り付けている。すなわち、ゲート電極として使用する配線材をボディ領域に電位を与えるコンタクト領域に接続したことを特徴とする。これにより、ボディのチャンネル幅方向の配線抵抗とゲート電極の配線抵抗とが、ほぼ同じになるため、ゲート電位とボディ電位の伝達遅延の差が生じないので、動作上の問題が起こらない。

【0019】(4) ボディ領域からの引き出し部を完全にソースドレインと絶縁している。すなわち、前記半導体層内に形成されたトランジスタのソース・ドレイン部と、ボディ領域にボディ電位を与えるボディ電極部との間にチャンネル領域が形成されていることを特徴とする。これにより、ボディからの引き出し電極を形成しても、ソース、ドレイン、ボディそれぞれの寄生容量が増大せず素子の性能を劣化させずに済む。

【0020】(5) ボディコンタクトやボディへの低抵抗材の貼り付け領域をトランジスタとして機能するゲート電極パターンとオーバーラップして形成する。すなわち、埋め込み絶縁膜上に形成されたゲート電極と、絶縁膜を介して前記ゲート電極上に形成されたソース・ドレイン領域と、前記ソース・ドレイン領域の間に配置されたチャンネル領域に接続され、前記チャンネル領域にボディ電位を与えるボディ電極部とを具備することを特徴とする。これにより、ボディへのコンタクトや低抵抗材の導入に際し、パターンサイズを増大させずに済む。

【0021】(6) 埋め込み絶縁膜中またはその表面に、埋め込み絶縁膜とは材質の異なる別種絶縁膜、導体、窒化膜のいずれかを少なくとも一層有することを特徴とする。又は、埋め込み絶縁膜中に多結晶シリコン層を少なくとも一層有することを特徴とする。このように、埋め込み絶縁膜の表面、または内部に導体または埋め込み絶縁膜とは異なる種類の別種絶縁膜を形成することにより、埋め込み絶縁膜中または表面の導体または別種絶縁膜が汚染の拡散に対して障壁となり、また応力を緩和する。従って、SOIウェハにおいて、汚染と結晶欠陥を抑制することができる。

【0022】また、(6)に示すような構成であれば、SOI型MOSFETにおいては、SOI層の電位を制御可能にするので、移動度の低下を抑制することができる。更に、導体または別種絶縁膜に空乏化を抑制する電荷を書き込むので、空乏化が抑制され、SOI層の電位の制御が可能となる。SOI型MESFETにおいては、チャンネルが下地酸化(絶縁)膜界面から離されるので、移動度の低下を抑制できる。

【0023】また、本発明の半導体装置により電界効果トランジスタを形成することも可能であり、この場合には、

(a) (6)に示す半導体装置において、前記埋め込み絶縁膜上に絶縁ゲート型トランジスタが形成された電界効果トランジスタであること。なお、この電界効果ト

ランジスタは、ショットキーゲート型トランジスタであっても良い。

(b) (a)の電界効果トランジスタにおいて、チャンネル不純物領域に、ソース/ドレインと同符号の不純物領域を有すること。

(c) (a)及び(c)の電界効果トランジスタにおいて、チャンネル不純物領域に連続する同符号の不純物領域に電極を有すること。

【0024】上記の(a)～(c)の電界効果トランジスタの動作方式としては、次のものが挙げられる。

(1) 別種絶縁膜または窒化膜または導体または多結晶シリコン膜を電荷蓄積層として用い、電荷蓄積層に反転チャンネルと同符号の電荷を書き込むことを特徴とする。

(2) (1)の動作方式において、ソースドレイン間にチャンネル・キャリアと異符号の電圧を印加して、高エネルギー・キャリアを生じせしめ、ソース基板間にチャンネル・キャリアと異符号の電圧を印加して、電荷蓄積層に電荷を書き込むことを特徴とする。

(3) (2)の動作方式において、ソース基板間、またはドレイン基板間にチャンネル・キャリアと異符号の電圧を印加して、トンネル電流によって電荷蓄積層に電荷を書き込むことを特徴とする。

【0025】

【発明の実施の形態】図面を参照して本発明の実施の形態を説明する。

(第1の実施形態)図1(a)及び(b)は、本発明の第1の実施形態に係る半導体装置の断面図を示す。第1の実施形態において、平面図は、図12(a)と同様であるので、図示を省略する。なお、図1(a)及び

(b)は、それぞれ、図12(a)の12A-12A断面図及び12B-12B断面図に相当する。また、図1において、図12と同じ部分には、同じ符号を付し、説明を省略する。第1の実施形態では、SOI基板1の絶縁膜上2の半導体層3を高抵抗部3-1と低抵抗部3-2との積層構造にした厚膜としてボディの遅延を低減している。ここで、低抵抗部3-2としては、高濃度Si拡散層のほか、シリサイド層やメタル層などが上げられる。この高抵抗部3-1と低抵抗部3-2との積層構造は、張り合わせ技術により得られる。なお、トランジスタの形成方法は従来と同様であるので、説明を省略する。

(第2の実施形態)図2(a)は、第2の実施形態に係る半導体装置の平面パターン図、図2(b)及び(c)は、それぞれ図2(a)の2B-2B、2C-2C断面図である。

【0026】第2の実施形態では、ボディコンタクト9-2を、チャンネル長方向の一端ではなく、ソース・ドレイン拡散層6-1、6-2に平行(すなわちチャンネル幅方向)に形成している。これにより、トランジスタのチャンネル幅が増大しても、チャンネル幅方向にチャンネルと平

行にボディコンタクト領域を形成でき、遅延を低減できる。ここで、基板 1 としては、すくなくともボディコンタクト領域が隣接するソース・ドレイン拡散層 6-1、6-2 よりも厚いものを用いる。なお、第 2 の実施形態において、第 1 の実施形態と同様に低抵抗部 3-2 を備えたものであっても構わない。

(第 3 の実施形態) 図 3 (a) は、第 3 の実施形態に係る半導体装置の平面パターン図、図 3 (b) 及び (c) は、それぞれ図 3 (a) の 3 B-3 B、3 C-3 C 断面図である。

【0027】第 3 の実施形態では、ゲート電極材 5-1、5-2 をボディ電極部 7-1 に貼り付けて、ボディの遅延を低減している。本実施形態では、第 2 の実施形態と同様にソース・ドレイン拡散層に平行して形成されたボディ電極形成領域に対して貼り付けを行っている。ボディ電極とゲート電極 5 に同一の材料を用いることにより、両者の遅延は同じになるため、遅延の差が生じなくなる。

【0028】このボディ電極の形成方法としては、ボディ電極とゲート電極材とのコンタクトを形成するための工程が加わるのみで、他は従来と同様にできる。すなわち、ゲート絶縁膜を形成した後に、多結晶 Si などの第 1 のゲート電極材を堆積し、ボディ電極とゲート電極材とのコンタクトを形成するため、そのコンタクトパターンで第 1 のゲート電極材およびその下のゲート絶縁膜をエッチングしてボディコンタクト領域を露出させる。この後、多結晶 Si やシリサイドなどの第 2 のゲート電極材を堆積し、第 1、第 2 ゲート電極材をパターニングしてゲート電極を形成する。こうして、ボディ電極部に第 2 のゲート電極材が接続した構造が得られる。このように、ゲート電極材をボディに貼り付ける構成では、ソース・ドレインへの配線と異なる層によってボディ領域の配線抵抗を低減できるため、ソース・ドレインとの配線余裕が不要となり、パターン面積を縮小できる。

(第 4 の実施形態) 図 4 (a) は、第 4 の実施形態に係る半導体装置の平面パターン図、図 4 (b) 及び (c) は、それぞれ図 4 (a) の 4 B-4 B、4 C-4 C 断面図である。

【0029】第 4 の実施形態は、第 3 の実施形態の改良型で、ボディ領域 7 に形成したゲート電極材 5 とソース・ドレイン拡散層との間の薄いゲート絶縁膜 4 を介した寄生容量を低減させるため、ソース・ドレイン部 6-1、6-2 とボディ電極部 7-1 とを、浅いトレンチ 1 1 を形成して分離している。

(第 5 の実施形態) 図 5 (a) は、第 5 の実施形態に係る半導体装置の平面パターン図、図 5 (b) 及び (c) は、それぞれ図 5 (a) の 5 B-5 B、5 C-5 C 断面図である。

【0030】上記の各実施形態のような、ソース・ドレイン拡散層の膜厚よりも厚い SOI 基板を用いた場合、

ソース・ドレインの基板との寄生容量が従来の薄い SOI 基板を用いた場合に比べ増大し、スピードの低下や消費電力の増大を招くおそれがある。本実施形態では、ソース・ドレイン拡散層部 6-1、6-2 は、半導体層 1 2 を薄くし、チャネル部は半導体層を厚くすることにより、寄生容量を増大させずにボディ電位の引き出しを行っている。すなわち、パターニングされた SOI 基板をボディ電位取り出し部として用い、この上に薄い半導体層 1 2 を新たに形成して、ここにソース・ドレイン等を形成している。また、ここでは、ボディ電極部 7-1 の配線抵抗をゲート電極材 5 を貼り付けて低減させている。

(第 6 の実施形態) 図 6 (a) は、第 6 の実施形態に係る半導体装置の平面パターン図、図 6 (b) 及び (c) は、それぞれ図 6 (a) の 6 B-6 B、6 C-6 C 断面図である。

【0031】本実施形態では、ゲート電極 5 を埋め込み絶縁膜 2 内に形成することにより、トランジスタを逆さまにした構造としている。このような構造にすることにより、ボディ領域 7 を基板表面に向けて形成し、ボディ領域 7 に直接、コンタクト 9-1 やシリサイド貼り付けなどを行えるようにしている。このようにすることで、ボディ電位を形成するに際して余分な素子面積を必要としなくなる。

【0032】この装置の形成方法としては、例えば、以下のような方法がある。通常のバルク基板からなる第 1 の Si 基板 1 上にゲート絶縁膜 2 を介してゲート電極 5 を形成した後、平坦な層間絶縁膜を形成し、第 2 の Si 基板を張り合わせる。その後、第 1 の Si 基板を化学機械的研磨 (CMP) 技術等によりエッチングしていき、チャネル部の膜厚まで薄膜化する。この後、チャネル部にマスク材を形成し、ソース・ドレイン部 6-1、6-2 を選択的にエッチングするとともに拡散層を選択的に形成する。

(第 7 の実施形態) 図 7 及び図 8 は、それぞれ、本発明の第 7 の実施形態に係る半導体装置のチャネル幅方向及びチャネル長方向の断面図である。図 7 及び図 8 において、図 1 2 又は図 1 3 と同じ部分には、同じ符号を付し、詳細な説明は省略する。第 7 の実施形態に係る半導体装置は、図 1 3 に示す従来の半導体装置に電荷蓄積層 1 3 とトンネル絶縁膜 1 4 を加えたものである。この構成により、SOI 層の電位の制御が可能となるため、設計の自由度が増す。

【0033】第 7 の実施形態に係る半導体装置の製造方法の一例を説明する。まず、SOI 層にイオン注入によって、ホウ素を導入し、その後、SOI 層表面を熱酸化して、ゲート酸化膜 4 を形成する。続いて、単結晶シリコンを堆積する。続いて、POCl₃ ガス中での加熱によって、単結晶シリコン中にリン (P) を導入する。そして、RIE (Reactive Ion Etching) によってゲート

10

20

30

40

50

電極 5 を形成し、ヒ素 (As) をイオン注入し、ソース 6-1 とドレイン 6-2 を形成し、トランジスタが、形成される。続いて、ホウ素 (B) をイオン注入し、ウェル拡散層 11 を形成し、その後、ホウ素をイオン注入しウェル拡散層 12 を形成する。続いて、不純物をアニールによって活性化する。そして、保護酸化膜を堆積し、R I E によって、電極孔を形成し、A1 を堆積し、A1 をパターニングして、ソース電極 8 とドレイン電極 9 とボディ電極 12 を形成して、装置ができる。

(第 8 の実施形態) 図 9 は、本発明の第 8 の実施形態に係る半導体装置のチャネル長方向の断面図である。図 9 において、図 14 と同じ部分には、同じ符号を付し、詳細な説明は省略する。第 8 の実施形態に係る半導体装置は、図 14 に示す従来の半導体装置に電荷蓄積層 13 とトンネル絶縁膜 14 を加えたものである。この構成により、移動度の低下が抑制されるので、高駆動力のデバイスが実現できる。

【0034】第 8 の実施形態に係る半導体装置の製造方法の一例を説明する。まず、S O I 層にイオン注入によって、ホウ素を導入する。続いて、例えば C o または T l を堆積する。続いて、R I E によってゲート電極 5 を形成する。そして、酸化膜を堆積し、C D E によって、側壁酸化膜 15 を形成する。続いて、ヒ素をイオン注入し、ソース 6-1 とドレイン 6-2 を形成する。続いて、不純物をアニールによって活性化し、保護酸化膜を堆積した後に、R I E によって、電極孔を形成し、A1 を堆積する。そして、A1 をパターニングして、ソース電極 8 とドレイン電極 9 を形成して、本装置が完成する。

【0035】第 7 及び第 8 の実施形態に係る半導体装置の動作方法を説明する。まず、チャネル・ホット・キャリアによる電荷蓄積層 13 への電荷書き込み動作について説明する。例えば、電子電動型の場合、ドレイン電極 9 に正電位、例えば 12 V、シリコン基板 1 に正電位、例えば 15 V、ゲート電極 5 とソース電極 8 とボディ電極 12 は接地することによって、高エネルギー電子を電荷蓄積層 13 に書き込む。次に、トンネル電流による電荷蓄積層 13 への電荷書き込み動作について説明する。シリコン基板 1 に 15 V、ソース電極 8 を接地、ドレイン電極 9 とゲート電極 5 を開放することによって、トンネル電流によって、電子を書き込む。この場合に、ソース電極 8 に負電位を印加しても良いし、または、ソース電極 8 を開放し、ドレイン電極 9 を接地しても良い。

【0036】本発明の第 7 及び第 8 実施形態に係る半導体装置の S O I 層の結晶成長による、電荷蓄積層の形成方法について説明する。シリコン基板 1 に、埋め込み酸化膜 2 を、例えば 160 オングストローム、熱酸化または C V D によって形成する。続いて、窒化膜 13 を、窒化または C V D によって、100 オングストローム堆積する。なお、窒化膜の代わりに多結晶シリコンを堆積し

てもよい。次に、酸化膜 14 を、熱酸化または C V D によって 100 オングストローム形成する。続いて、S O I 層を、単結晶をシードとした結晶成長または C V D によって形成する。ここで、C V D の場合は、例えばレーザ・アニールによって、S O I 層を結晶化して形成する。

(第 9 の実施形態) 本発明の第 9 の実施形態に係る張り合わせ法による電荷蓄積層 13 の形成方法を図 10 を用いて説明する。

【0037】まず、シリコン基板 1 上に熱酸化または C V D によって埋め込み酸化膜 2 を 80 オングストローム形成する。続いて、S O I 層 17 となる一方のシリコン基板に熱酸化によってトンネル酸化膜 14 を 100 オングストローム形成する。そして、窒化または C V D によって電荷蓄積層 13 を 100 オングストローム形成する。続いて、熱酸化または C V D によって接着用酸化膜 16 を 80 オングストローム形成する。次に、シリコン基板 1 を含むウェハと S O I 層 17 を含むウェハを接着する。最終的に、研磨により S O I 層 17 を 1000 オングストロームに薄膜化し、本装置が完成する。

【0038】上記の本発明方法によれば、各層において良質な膜質を実現できる。なお、上記の実施形態において窒化膜の代わりに多結晶シリコンを堆積してもよい。

(第 10 の実施形態) 本発明の第 10 の実施形態に係る張り合わせ法による電荷蓄積層 13 の形成方法を図 11 を用いて説明する。まず、S O I 層 17 となる一方のシリコン基板に熱酸化によってトンネル酸化膜 14 を 100 オングストローム形成する。続いて窒化または C V D (Chemical Vapor Deposition) によって電荷蓄積層 13 を 100 オングストローム形成する。続いて、熱酸化または C V D によって埋め込み酸化膜 2 を 160 オングストローム形成する。続いて、シリコン基板 1 を含むウェハと S O I 層 17 を含むウェハを接着する。この際、シリコン基板 1 表面の自然酸化膜 18 を接着用酸化膜として用いる。

【0039】続いて、研磨により S O I 層 17 を 1000 オングストロームに薄膜化する。この方法によれば、接着用酸化膜の形成が不要で、安価に生産できる。なお、本実施形態において、窒化膜の代わりに多結晶シリコンを堆積してもよい。

【0040】上記の本発明の第 10 及び第 11 の実施形態によれば、S O I 層の汚染と応力の発生を抑制するので、欠陥による不良が減少し、生産性が向上する。なお、本発明の上記の各実施形態は、適宜組み合わせることができる。また、本発明は、上記の発明の実施の形態に限定されるものではなく、本発明の要旨を変更しない範囲で種々変形して実施できるのは勿論である。

【0041】

【発明の効果】本発明によれば次のような効果が得られる。以上詳述したように、本発明によれば、チャネル長

によらずボディ断面積を確保できるため、ボディのチャネル幅方向の配線抵抗を増大させずに素子の微細化が可能となる。また、チャネル幅が増大しても、それに伴ってボディコンタクト引き出し領域も増大するため、チャネル幅方向への配線抵抗とゲート電極の配線抵抗とが、ほぼ同じになるため、ゲート電位とボディ電位の伝達遅延の差が生じないため、動作上の問題が起こらない。また、ボディからの引き出し電極を形成しても、ソース、ドレイン、ボディそれぞれの寄生容量が増大せず素子の性能を劣化させずに済む。ボディへのコンタクトや低抵抗材の導入に際し、パターンサイズを増大させずに済む。更に、SOI層の汚染と応力の発生を抑制するので、欠陥による不良が減少し、生産性が向上する。SOI型MOSFETにおいては、SOI層の電位の制御が可能となるため、設計の自由度が増す。また、SOI型MESFETにおいては、移動度の低下が抑制されるので、高駆動力のデバイスが実現できる。従って、本発明により、高速で微細なLSIを高い歩留まりで実現できる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る半導体装置の概略図。

【図 2】 本発明の第 2 の実施形態に係る半導体装置の概略図。

【図 3】 本発明の第 3 の実施形態に係る半導体装置の概略図。

【図 4】 本発明の第 4 の実施形態に係る半導体装置の概略図。

【図 5】 本発明の第 5 の実施形態に係る半導体装置の

概略図。

【図 6】 本発明の第 6 の実施形態に係る半導体装置の概略図。

【図 7】 本発明の第 7 の実施形態に係る半導体装置のチャネル長方向の断面図。

【図 8】 本発明の第 7 の実施形態に係る半導体装置のチャネル幅方向の断面図。

【図 9】 本発明の第 8 の実施形態に係る半導体装置のチャネル長方向の断面図。

【図 10】 本発明の第 9 の実施形態に係る張り合わせ法による電荷蓄積層の形成方法を示す図。

【図 11】 本発明の第 10 の実施形態に係る張り合わせ法による電荷蓄積層の形成方法を示す図。

【図 12】 従来の半導体装置を示す図。

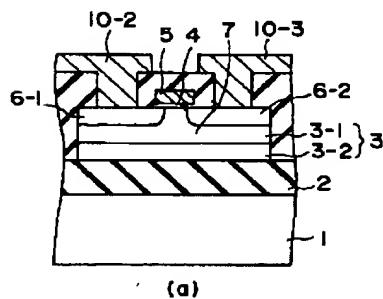
【図 13】 従来技術によるSOI型MOSFETを示す図。

【図 14】 従来技術によるSOI型MESFETを示す図。

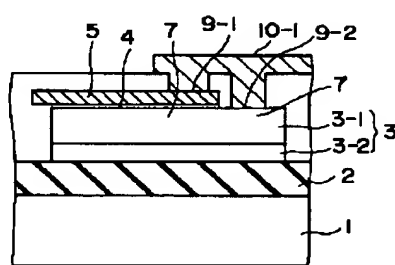
【符号の説明】

- 1…基板、
- 2、4…絶縁膜、
- 3…半導体層、
- 5…ゲート電極、
- 6-1…ソース領域、
- 6-2…ドレイン領域、
- 7…ボディ領域、
- 8…層間絶縁膜、
- 9-1、9-2、9-3…コンタクト、
- 10-1、10-2、10-3…配線。

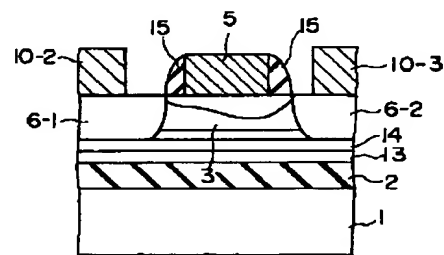
【図 1】



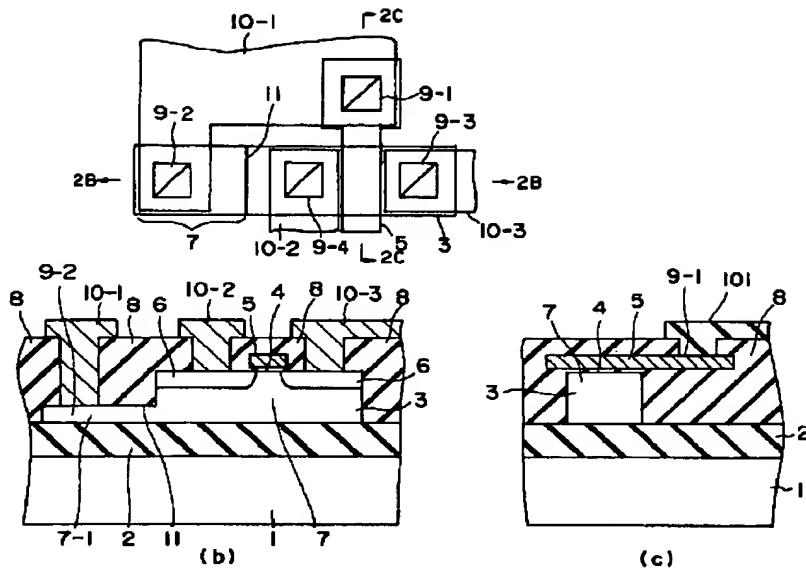
(b)



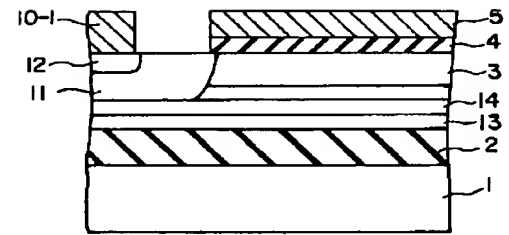
【図 9】



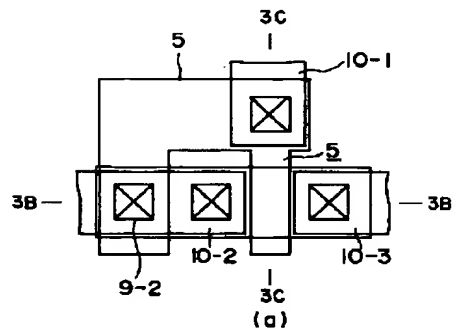
【図 2】



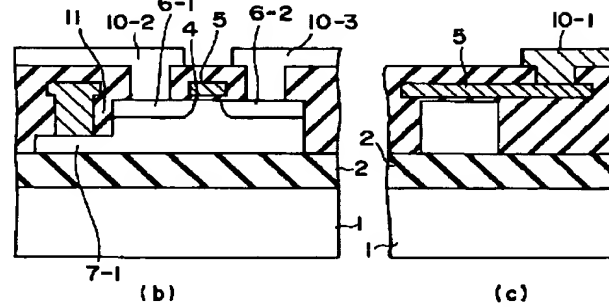
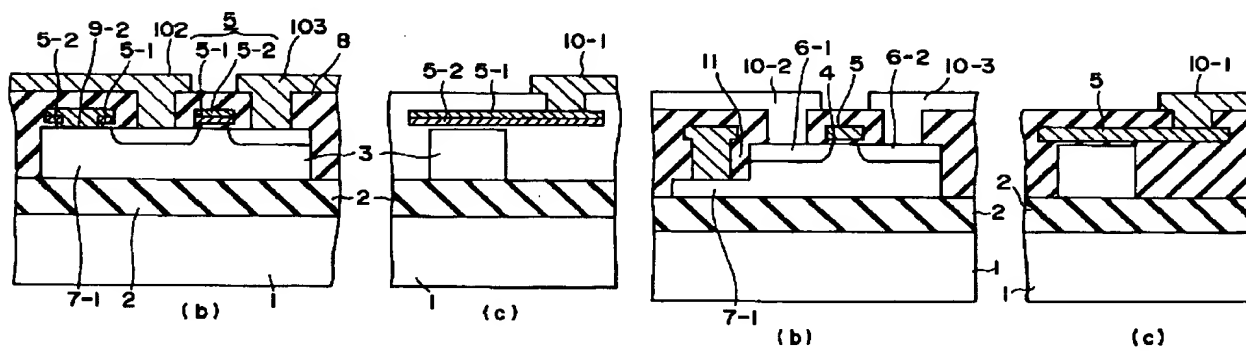
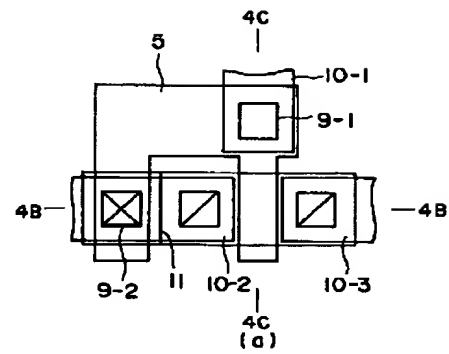
【図 8】



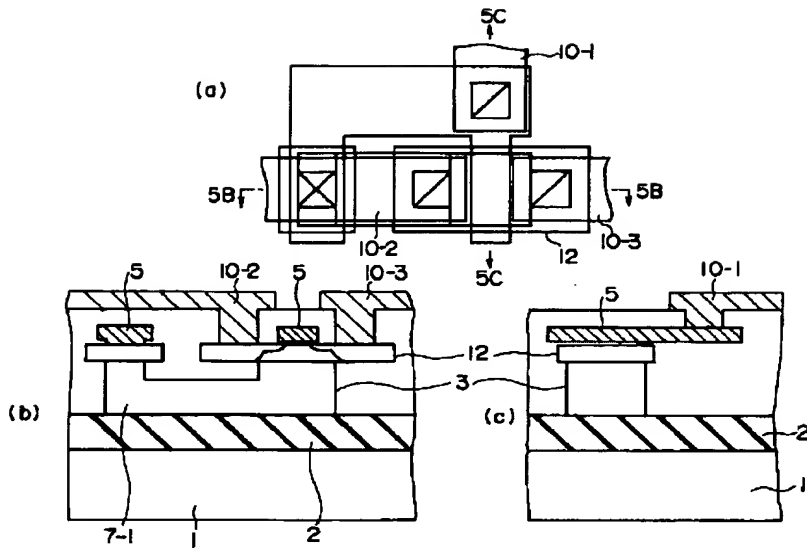
【図 3】



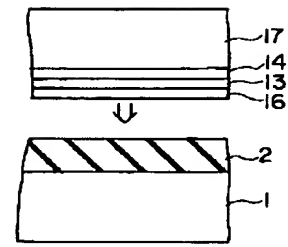
【図 4】



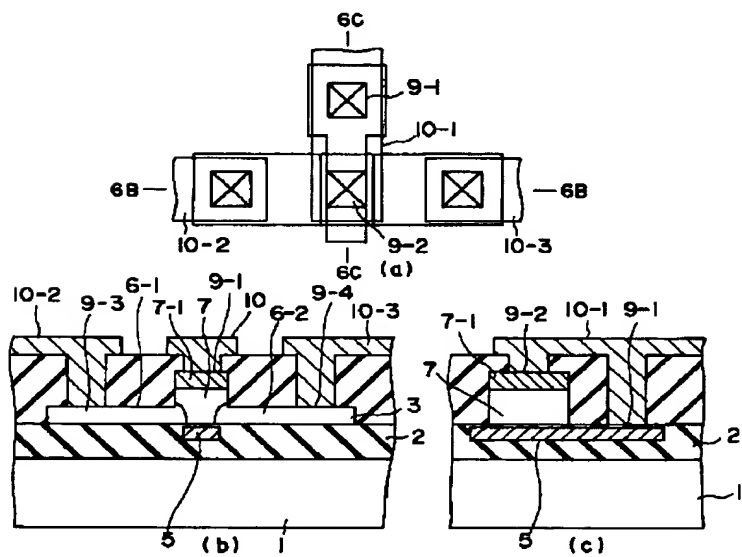
【図 5】



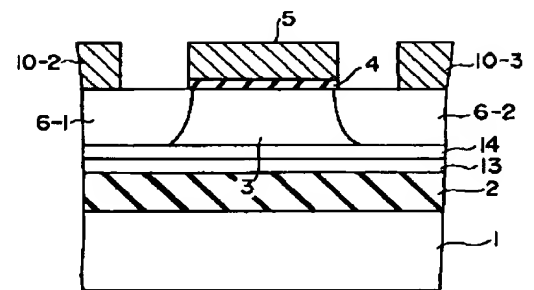
【図 10】



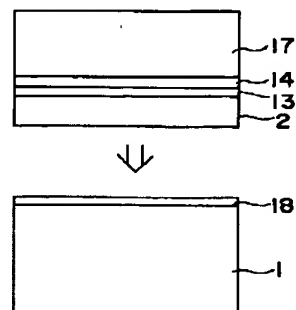
【図 6】



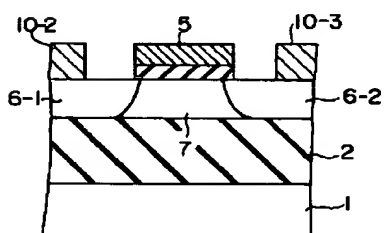
【図 7】



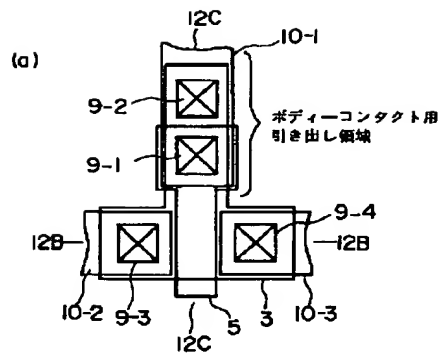
【図 11】



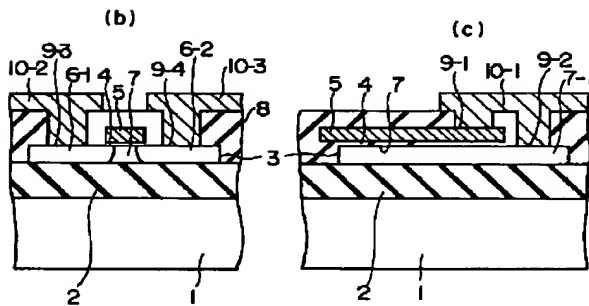
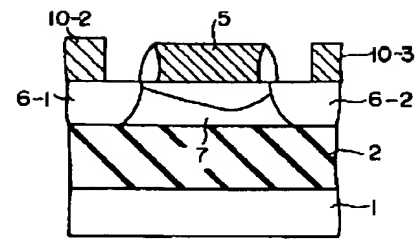
【図 13】



【図 12】



【図 14】



フロントページの続き

(72)発明者 松澤 一也
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 大脇 幸人
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内